

특 2001-0060566

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/3205	(11) 공개번호 특 2001-0060566 (43) 공개일자 2001년 07월 07일
(21) 출원번호 10-1999-0062963	
(22) 출원일자 1999년 12월 27일	
(71) 출원인 주식회사 하이닉스반도체 박종섭	
(72) 발명자 경기 미천시 부발읍 아미리 산136-1 송한상	
(74) 대리인 서울특별시 서초구 서초동 1326-17 우성아파트 501-2209 임찬 경기도 미천시 대월면 사동리 현대 5차 아파트 502-1702 최승민, 신영무	

설사경구 : 있음(54) 반도체 소자의 캐퍼시터 제조방법**요약**

본 발명은 반도체 소자의 캐퍼시터 제조방법에 관한 것으로, 탄탈륨 옥사이드(Ta_2O_5) 유전체막을 사용하는 MIS 또는 NIM 캐퍼시터에서 유효 산화막 두께의 증가로 인해 후속 열처리 조건이 제한되어 캐퍼시터의 정전용량을 증대시킬 수 없는 문제점을 해결하기 위하여, 탄탈륨 옥사이드 유전체막 형성시 티타늄 옥사이드(TiO_2)를 도핑하므로써, 동일한 공정 조건에서 캐퍼시터의 정전용량 및 누설전류 특성을 향상시킬 수 있도록 한 반도체 소자의 캐퍼시터 제조방법이 개시된다.

목표도**도 1****작문여**

탄탈륨 옥사이드 유전체막, 티타늄 옥사이드 도핑

형성서**도면의 간접적 설명**

도 1a 내지 1c는 본 발명에 따른 반도체 소자의 캐퍼시터 제조방법을 설명하기 위해 순차적으로 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호 설명>

11 : 기판

12 : 하부전극

13 : 급속 열 질화막

14 : 유전체막

15 : 상부전극

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자의 캐퍼시터 제조방법에 관한 것으로, 특히 탄탈륨 옥사이드(Ta_2O_5) 캐퍼시터의 유

전특성 및 누설전류 특성을 개선하기 위한 반도체 소자의 캐퍼시터 제조방법에 관한 것이다.

일반적으로, 탄탈륨 옥사이드(Ta_2O_5)를 유전체막으로 사용하는 MIS(Metal-Insulator-Silicon) 또는 MIM(Metal-Insulator-Metal) 캐퍼시터의 제조 과정에서 탄탈륨 옥사이드의 증착 및 800°C 이상의 고온 열처리 후, 탄탈륨 옥사이드막의 유전상수는 25 정도의 값을 나타낸다. 또한, 하부전극 물질로 금속물질을 사용하는 경우 금속 하부전극의 배향성에 따라 유전막이 우선 방향성을 나타내어 유전상수가 증가하게 된다. 또한, 금속 물질은 폴리실리콘과의 전기적 에너지 장벽(Energy Barrier; Work Function(일 할수))이므로 유효 산화막 두께(Tox)를 감소시킬 수 있고 동일 유효 산화막 두께에서의 누설전류를 감소시킬 수 있는 장점을 갖는다. 탄탈륨 옥사이드 캐퍼시터의 유전특성을 확보하기 위해서는 고온의 산소 분위기에서 열처리 공정이 요구되는데 이때 하부전극 물질의 산화를 방지하기 위해서는 후속 열처리 공정 조건에 제약이 있다. 따라서 후속 열처리 공정 조건이 동일한 경우 동일한 유효 산화막 두께를 갖는 유전막의 점전 용량을 증가시키기 위해서는 유전막의 유전상수를 증가시키는 것이 필요하다.

발명이 이루고자 하는 기술적 과정

따라서, 본 발명은 탄탈륨 옥사이드(Ta_2O_5) 유전막 증착시 유전 특성이 우수한 티타늄 옥사이드(TiO_2)를 도핑하므로써, 캐퍼시터의 정전 용량 및 유전특성을 개선할 수 있는 반도체 소자의 캐퍼시터 제조방법을 제공하는데 그 목적이다.

기술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 캐퍼시터 제조방법은 하부구조가 형성된 기판 상에 하부전극을 형성한 후 상기 하부전극 상에 금속 열 질화막을 형성하는 단계; 상기 금속 열 질화막 상에 탄늄 옥사이드를 도핑하면서 탄탈륨 옥사이드를 증착하며, 이로 인하여 유전체막이 형성되는 단계; 및 상기 유전체막 상에 상부전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

하부전극 물질로 폴리실리콘 또는 금속물질을 이용한 MIS 또는 MIM 캐퍼시터 제조공정에서, 유전막의 정전용량을 증가시키기 위해서는 유전막의 두께를 감소시키거나 유전막의 면적 및 유전상수를 증가시켜야 한다. 동일한 셀 구조 및 두께를 갖는 캐퍼시터의 경우 유전막의 유전상수가 증가되어야 정전용량이 증가하므로, 캐퍼시터 제조공정시 유전상수가 큰 유전막의 사용이 요구된다.

이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다.

도 1a 내지 1c는 본 발명에 따른 반도체 소자의 캐퍼시터 제조방법을 설명하기 위해 순차적으로 도시한 소자의 단면도이다.

도 1a에 도시된 바와 같이, 하부구조가 형성된 기판(11) 상에 하부전극(12)을 형성한 후 금속 열처리하여 하부전극(12) 상에 금속 열 질화막(13)을 형성한다. 여기에서, 하부전극(12)은 폴리실리콘 또는 금속물질을 이용하여 형성하는데, 폴리실리콘을 사용하는 경우에는 기판(11) 상에 폴리실리콘층을 형성한 후 50:1 HF로 30 내지 50초 동안 세정하고 15 내지 30°C의 NH₃에 10 내지 20분 동안 디핑(Dipping)한다. 또한, 금속 열 질화막(13)은 NH₃ 가스를 이용하여 750 내지 900°C의 온도에서 금속 열처리하므로써 형성된다.

도 1b에 도시된 바와 같이, 금속 열 질화막(13) 상에 티타늄 옥사이드(TiO_2)를 도핑하면서 탄탈륨 옥사이드(Ta_2O_5)를 증착하여 유전체막(14)을 형성한다. 여기에서, 탄탈륨 옥사이드막은 반응로 내의 압력을 0.1 내지 0.6torr로 하고 온도를 300 내지 400°C로 유지한 상태에서, 원료 물질로 탄탈륨 에톡사이드(Tantalum Etoxide; $Ta(C_2H_5O)_6$)를 사용하여 형성하며, 증착 소오스의 유량은 0.005 내지 2cc로 한다. 이때, 반응 원료의 온반가스 및 산화제로는 각각 N₂ 및 O₂를 이용하며, N₂ 및 O₂의 유량은 각각 350 내지 450sccm, 20 내지 50sccm으로 유지한다. 한편, 티타늄 옥사이드를 도핑하기 위한 원료 물질로는 Ti(OC₂H₅)₄를 0.01 내지 0.1mol로 용매(solvent)인 에탄올(Ethanol)과 회석하여 사용하고 반응 원료의 온반가스로는 N₂를 사용하며, N₂의 유량은 100 내지 300sccm으로 한다. 그리고, 탄탈륨 옥사이드의 원료 물질과 티타늄 옥사이드의 원료 물질은 반응챔버 전단에서 혼합하여 반응챔버로 주입한다.

티타늄 옥사이드의 원료 물질로 Ti(OC₂H₅)₄를 사용하는 이유를 설명하면 다음과 같다.

화학기상증착(CVD)법으로 티타늄 옥사이드 박막을 증착하는 경우 사용되는 원료 물질로는 주로 상온에서 액상인 Ti(OC₂H₅)₄, Ti(I-OC₂H₅)₃가 사용된다. Ti(I-OC₂H₅)₃는 주로 강유전체 박막인 (Pb,Zr,...)TiO_x(PZT)의 티타늄 원료 물질로 사용되는데, 끓는 점(Boiling Point)이 85°C로 이 온도에서 1Torr의 증기압을 나타낸다. Ti(OC₂H₅)₄는 끓는 점이 122°C이며, 이 온도에서 1Torr의 증기압을 나타낸다. 탄탈륨 옥사이드막의 원료 물질인 Ta(C₂H₅O)₆의 경우 145°C에서 0.1Torr의 증기압을 나타낸다. 따라서, 티타늄 옥사이드의 도핑 농도를 조절하기 위해서는 상대적으로 증기압이 낮은 Ti(OC₂H₅)₄를 사용하는 것이 바람직하다.

이상과 같은 방법으로 유전체막(14)을 형성하고 난 후에는 유전체막 내의 탄소, 수소 등의 불순물 및 산소 공공과 같은 결합을 제거하기 위하여 플라즈마 어닐링 또는 UV/O₃ 어닐링을 이용하여 저온 열처리 공정을 실시한다. 플라즈마 어닐링은 300 내지 550°C의 온도에서 O₂ 또는 N₂O를 300 내지 700sccm의 유량으로 공급하는 분위기에서 30 내지 120초 동안 200 내지 500W의 전력으로 실시하고, UV/O₃ 어닐링 시온은 300

내지 550°C의 온도에서 2 내지 10분 동안 15 내지 30mW/cm²의 강도(Intensive)로 실시한다.

저온 열처리 공정 후에는 퍼니스 어닐링 또는 금속 열처리(RTP) 공정을 실시한다. 여기에서, 퍼니스 어닐링은 N₂ 또는 O₂를 10 내지 15sccm의 유량으로 공급하는 분위기에서 750 내지 800°C의 온도 조건으로 30 내지 60분 동안 실시하며, 금속 열처리 공정은 N₂ 또는 O₂ 분위기에서 750 내지 850°C의 온도 조건에서 60 내지 120초 동안 실시한다.

도 1c를 참조하여, 유전체막(14)이 형성된 전체구조 상에 상부전극(15)을 형성한다. 상부전극은 티타늄 나이트라이드막(15A) 및 폴리실리콘(15B)의 층층 구조로 이루어진다. 먼저, 티타늄 나이트라이드막(15A)은 화학기상증착(CVD)법으로 티타늄 나이트라이드(TiN)를 200 내지 500Å의 두께로 증착하여 형성한다. 이때에는 원료 물질로 TiCl₄를 사용하고 반응가스로 NH₃을 사용하여, 원료 물질과 반응가스의 유량을 각각 10 내지 1000sccm으로 공급한다. 이때, 반응로 내의 압력을 0.1 내지 2Torr로 유지하고 온도는 300 내지 500°C로 유지한다. 또한, 폴리실리콘(15B)은 도포트 폴리실리콘을 800 내지 1200 Å의 두께로 증착한 후 650 내지 850°C의 온도에서 열처리하므로써 형성된다.

발명의 효과

상술한 바와 같이, 본 발명은 MIS 또는 MIM 구조의 캐퍼시터에서 유전체막으로 탄탈륨 옥사이드(Ta₂O₅)를 사용하는 경우, 탄탈륨 옥사이드 증착시 유전 특성이 우수한 티타늄 옥사이드(TiO₂)를 도핑하여 유전체막을 형성하므로써, 캐퍼시터의 정전용량 및 누설전류 특성을 개선할 수 있다.

(5) 청구의 범위

청구항 1. 하부구조가 형성된 기판 상에 하부전극을 형성한 후 상기 하부전극 상에 금속 열 질화막을 형성하는 단계;

상기 금속 열 질화막 상에 탄탈륨 옥사이드를 도핑하면서 탄탈륨 옥사이드를 증착하여, 이로 인하여 유전체막이 형성되는 단계; 및

상기 유전체막 상에 상부전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

청구항 2. 제 1 항에 있어서,

상기 하부전극은 폴리실리콘 또는 금속물질을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

청구항 3. 제 1 항에 있어서,

상기 하부전극은 상기 기판 상에 폴리실리콘을 형성한 후 50:1 HF로 30 내지 50초 동안 세정하고 15 내지 30°C의 NH₄OH에 10 내지 20분 동안 디핑하여 형성하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

청구항 4. 제 1 항에 있어서,

상기 금속 열 질화막은 NH₃ 가스를 이용하여 750 내지 900°C의 온도에서 금속 열처리하므로써 형성하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

청구항 5. 제 1 항에 있어서,

상기 탄탈륨 옥사이드막은 반응로 내의 압력을 0.1 내지 0.6Torr로 하고 온도를 300 내지 400°C로 유지한 상태에서, 원료 물질로 탄탈륨 에톡사이드를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

청구항 6. 제 1 항에 있어서,

상기 탄탈륨 옥사이드막 형성시 증착 소오스의 유량은 0.005 내지 2cc로 하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

청구항 7. 제 5 항에 있어서,

상기 탄탈륨 옥사이드 원료 물질의 운반가스 및 산화제로는 각각 350 내지 450sccm의 N₂ 및 20 내지 50sccm의 O₂를 이용하는 것을 특징으로 하는 반도체 소자의 캐퍼시터 제조방법.

청구항 8. 제 1 항에 있어서,

상기 티타늄 옥사이드의 원료를 질로는 Ti(OC₂H₅)₄를 사용하여, 0.01 내지 0.1mol의 원료 물질을 에탄과 회석하여 사용하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 9. 제 8 항에 있어서,

상기 티타늄 옥사이드 원료 물질의 운반가스로는 100 내지 300sccm의 N₂를 사용하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 10. 제 1 항에 있어서,

상기 유전체막 형성시 탄탈륨 옥사이드의 원료 물질과 티타늄 옥사이드의 원료 물질은 반응챔버 전단에서 혼합하여 반응챔버로 주입하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 11. 제 1 항에 있어서,

상기 유전체막 형성 후 저온 열처리 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 12. 제 11 항에 있어서,

상기 저온 열처리 공정은 300 내지 550°C의 온도에서 O₂ 또는 N₂O를 300 내지 700sccm의 유량으로 공급하여 30 내지 120초 동안 200 내지 500°C의 전력으로 열처리하는 플라즈마 어닐링 공정인 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 13. 제 11 항에 있어서,

상기 저온 열처리 공정은 300 내지 550°C의 온도에서 2 내지 10분 동안 15 내지 30mW/cm²의 강도로 열처리하는 UV/O₃ 어닐링 공정인 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 14. 제 1 항에 있어서,

상기 유전체막 형성 후 고온 열처리 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 15. 제 14 항에 있어서,

상기 고온 열처리 공정은 N₂O 또는 O₂를 10 내지 15sccm의 유량으로 공급하여 750 내지 800°C의 온도 조건으로 30 내지 60분 동안 열처리하는 퍼니스 어닐링 공정인 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 16. 제 14 항에 있어서,

상기 고온 열처리 공정은 N₂O 또는 O₂ 분위기에서 750 내지 850°C의 온도조건에서 60 내지 120초 동안 열처리하는 급속 열처리 공정인 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 17. 제 1 항에 있어서,

상기 상부전극은 티타늄 나이트라이드막 및 폴리실리콘층의 적층 구조로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 18. 제 17 항에 있어서,

상기 티타늄 나이트라이드막은 화학기상증착법으로 티타늄 나이트라이드를 200 내지 500Å의 두께로 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 19. 제 17 항에 있어서,

상기 티타늄 나이트라이드막은 원료 물질로 TiCl₄를 사용하고 반응가스로 NH₃를 사용하여, 원료 물질과 반응가스의 유량을 각각 10 내지 1000sccm으로 공급하여, 반응으로 내의 압력은 0.1 내지 2Torr로 유지하고 온도는 300 내지 500°C로 유지하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 20. 제 17 항에 있어서,

상기 폴리실리콘은 도프트 폴리실리콘을 800 내지 1200Å의 두께로 증착한 후 650 내지 850°C의 온도에서 열처리하므로써 형성하는 것을 특점으로 하는 반도체 소자의 캐패시터 제조방법.

도면

도면1

